

塑性加工スタッドバンプを用いた低温接合技術の開発

東京大学 先端科学技術研究センター

准教授 日暮 栄治

(平成 22 年度一般研究開発助成 AF-2010024)

キーワード： 低温接合、スタッドバンプ、コイニング

1. 研究の目的と背景

光を用いた計測装置やシステムは、高感度でノイズにも強いいため、さまざまな分野で使われているが、エレクトロニクスとは異なる光の特殊性のため、これらの製造にかかるコストの多くは実装工程が占めているといわれている。光計測装置は、ヒートシンクに実装されて缶に封入された半導体レーザ(LD: Laser diode)やフォトダイオード(PD: photodiode)、レンズ、光ファイバなどのバルク個別光学部品を高精度に光軸合わせ・調芯することにより作製されるため、数多くの部品点数を要するとともに組立工程に時間がかかり、大幅なコスト低減、小型化が大きな課題であった。すなわち、光システムを低コストで小型化するための集積技術や異種材料を混載し高機能化するための接合・実装技術の開発が強く求められている。

これまで、ハイブリッド光集積技術により光通信モジュールやマイクロセンサ^{1,2)}など様々な光デバイスが作製されている。これはマイクロマシニングされたシリコン(Si)ベンチ上にLDやPDといった光素子を高精度に表面実装することにより、デバイスの小型化、低コスト化、信頼性向上を実現するものである。しながら、さらなる超小型・高密度化、多機能化には、光素子の三次元実装技術の確立が不可欠である。一般に光素子の実装には、金錫(AuSn)共晶はんだ(融点 280 °C)が広く用いられている。AuSn はんだは、熱伝導・電気伝導に優れ、降伏強度が大きく、耐熱疲労性に優れ、クリープも小さいため、高い信頼性が得られる。しかしながら、複数チップ実装のためにAuSn はんだを用いて複数回の加熱プロセスを行うと、以下の課題があった³⁾。1) はんだ再溶融による光素子の位置ずれや狭小部分の電氣的なショートが発生することがある、2) 未接合AuSn はんだ表面の酸化により複数チップの接合が困難になる、3) 光素子を長時間、高温下(300 °C程度)にさらすことにより、素子が劣化してしまう、4) 金属間化合物が生成され、強度不足が生じる。そのため、信頼性の高い低温・高精度接合プロセスが求められている。

このような点から、将来の異種材料を内蔵した高集積・高機能光デバイスの製造には、低温かつはんだを用いない固相接合も考えられる。

そこでわれわれは、Au-Au 表面活性化接合技術(Surface-Activated Bonding)に着目し、光素子の高精度高信頼性低温接合技術(接合温度: 室温~150 °C)を確立することを目的に研究を進めてきた⁴⁻⁹⁾。しかしながら、表面活性化接合は、原子レベルで接触し凝着力が作用するため、極めて平滑(1 nm 以下)な接合表面が求められる。一般に蒸着などで作製した金属薄膜の表面粗さは数 nm 程度となるため、はんだ接合に比べて大きな接合荷重(300 MPa 以上)が必要であり、さらなる低温・低荷重接合技術の開発が強く求められていた。

そこで、本研究では平滑な接合面を塑性変形により形成し、低温・低荷重接合を実現することを試みた。具体的にはSi 基板(表面粗さ Ra: 0.2 nm 程度)を用いて、尖ったAu スタッドバンプ(Au 線を引きちぎって形成したバンプ)を加圧することにより、塑性変形を利用して平滑なAu 接合表面を形成し、表面活性化接合により低温(150 °C 以下)・低荷重接合を実現する。本手法は、切削などを用いて平滑な表面を形成する手法に比べて、Si キャビティ基板のような立体構造内に形成できるのが特徴である。

2. 実験方法

厚い平滑なAu バンプを実現するために、Au スタッドバンプを平滑なSi チップで加圧するプロセスを試みた。スタッドバンプは、フォトリソグラフィ工程不要、バンプパターン変更に柔軟に対応可能、材料の無駄がない、MEMS のような立体構造内に形成可能、といった特徴がある。接合プロセスを図1に示す。

まず、ワイヤボンダを用いてSi 基板上のAu 薄膜にAu スタッドバンプを作製する。次に、平滑なSi チップで加圧することによって平坦化を行う。以下、この加圧プロセスをコイニング(coining)と呼ぶ。その後、LD チップ

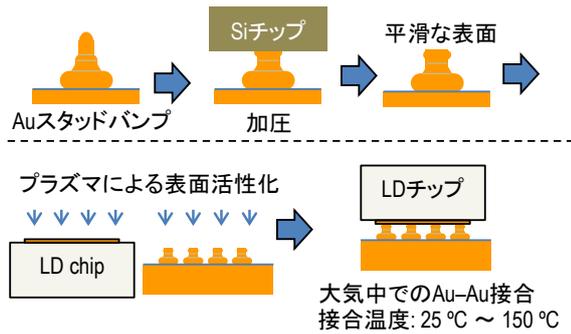


図1 提案する低温接合プロセス

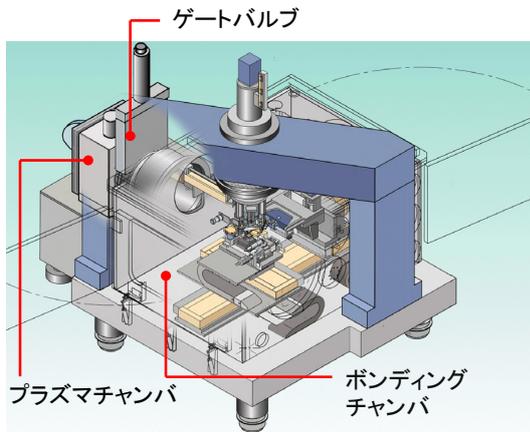


図2 表面活性化フリップチップボンダーの模式図

の Au 薄膜電極と Au バンプの表面に Ar 高周波プラズマを照射して表面活性化を行う。表面活性化の後、そのまま大気中で加熱、加圧しながら接触させ、Au-Au 接合を行う。

接合は、表面活性化プロセスを組み込んだフリップチップボンダーを使用した (図 2)。ボンダーは、Ar ガスの高周波プラズマによって試料表面を活性化するプラズマチャンバとアライメントとボンディングを行うボンディングチャンバからなる。ボンディングの手順は以下のように行われる。まず試料(チップと基板)をのせたトレイをプラズマチャンバにセットし、Ar 高周波プラズマによって試料表面を活性化する。LD の Au 電極表面と Au バンプ表面に 3 分照射した。Au 薄膜におけるエッチングレートは約 30 nm/min (プラズマパワー: 100 W)である。活性化後、チップトレイは大気開放されたボンディングチャンバに搬送される。ボンディングチャンバ内では、試料(チップと基板)をそれぞれヘッドとステージに運び、上下 2 視野カメラによるアライメント後、チップを吸着したヘッドが下降し、ボンディングが行われる。接合条件は、大気中、温度 150 °C、接触時間 30 秒である。

接合強度の評価には、高価な LD チップの代わりに Si

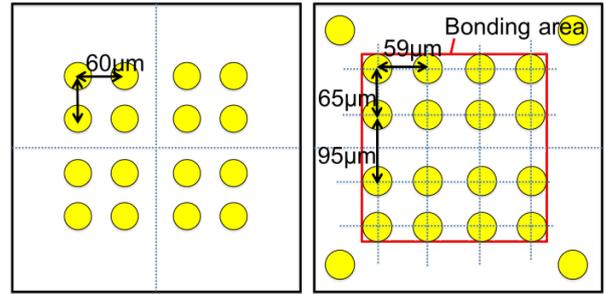


図3 バンプアレイの配置、(a)ダイシエア試験用、(b)LD チップ用

チップを用いた。Si チップのサイズは 300 μm \times 300 μm \times 厚さ 100 μm であり、接合面に厚さ 0.5 μm の Au 薄膜 (Ra: 1.3 nm) が電子ビーム蒸着により形成されている。また、基板には均等に配置した 16 個の Au スタッドバンプを用いた (図 3(a))。

光子には発振波長 1310 nm の埋込みヘテロ構造、端面発光型 InGaAsP/InP LD チップを用いた。LD チップのサイズは 450 μm \times 400 μm \times 厚さ 100 μm であり、接合面の電極表面は、厚さ 0.5 μm の Au 薄膜 (Ra: 2.1 nm) が形成されている。LD チップとの接合には、LD チップの活性層への応力を低減するため、配置を工夫した Au スタッドバンプを用いた (図 3(b))。

3. 応力解析

スタッドバンプの配置を工夫することによって加圧時の LD チップの活性層にかかる応力を低減するため、応力の 3 次元弾塑性有限要素法解析を行った。解析には、MEMS 用設計・解析支援システム「MemsONE」を使用した。埋込みヘテロ構造 LD チップの活性層は、LD チップの Au 電極から 5 μm の高さに位置している。LD チップの Au 薄膜と Au 薄膜を接合するモデル (図 4(a)) と LD チップの Au 薄膜と Au バンプを接合するモデル (図 4(b)) を比較した。薄膜の厚さは 0.5 μm 、バンプのサイズは 45 μm 角、厚さ 10 μm とし、接合荷重 960 gf、活性層側の面を接合するジャンクションダウン配置で接合する場合の解析を行った。

結果を図 4(c) に示す。チップの中心からの距離と活性層に働く応力の関係を表している。薄膜どうしの接合では、端部に大きな応力が発生していることがわかる。また、バンプを用いた場合は、活性層直下にバンプを配置しないように工夫することによって、活性層に発生する応力を 20 MPa 前後にまで低減できる。半導体量子井戸構造に 20 MPa

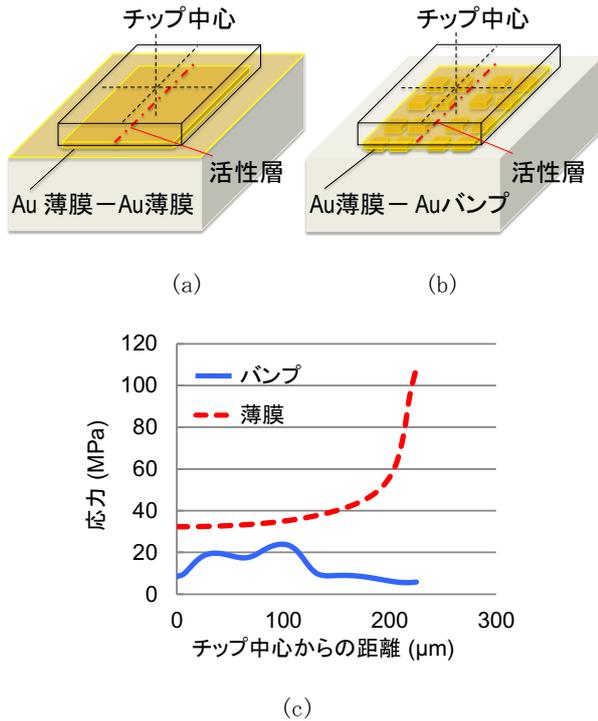


図4 有限要素法解析、(a)薄膜モデル、(b)バンプモデル、(c)LDチップ活性層における応力分布（荷重：960 gf）

表1 コイニング荷重と表面積および高さの関係

荷重 (16 バンプ) (gf)	表面積 (1 バンプ) (μm^2)	高さ (μm)
450	709	15.3
900	1.300	10.5
1.500	1.373	10.0

の圧力をかけても半導体の特性に影響はないことが報告されており¹⁰⁾、LDチップの接合に問題なく利用できるレベルと考えられる。

4. 実験結果

コイニングは、直径45 μm のAuスタッドバンプ（純度：99.99%以上）にSiチップ（Ra: 0.2 nm）を30秒間常温で加圧することで行った。基板上に16個のAuスタッドバンプを作製し、バンプ全体に加えるコイニング荷重（16バンプ）を変化させると、コイニング後の1個あたりのAuバンプの表面積と高さは表1に示すように変化した。バンプ全体を450 gfでコイニングした際に1個のスタッドバンプが変形する様子を図5に、コイニング後のAuバンプ表面の原子間力顕微鏡像を図6に示す。平滑（Ra: 1.3 nm）で厚い（約15 μm ）Auバンプが形成できた。

接合強度の評価は、ダイシエア試験によって行った。図

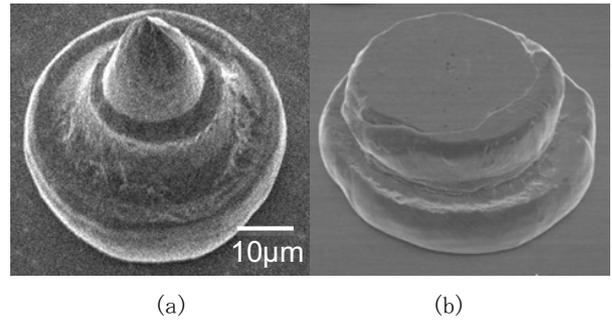


図5 AuスタッドバンプのSEM写真、(a)コイニング前、(b)コイニング後（コイニング荷重：450 gf）

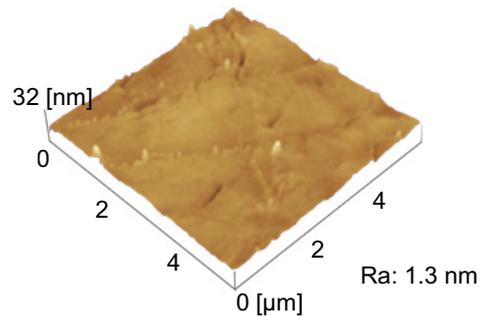


図6 コイニング後（コイニング荷重：450 gf）のバンプ表面の原子間力顕微鏡像

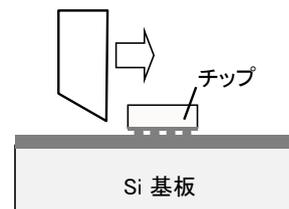


図7 ダイシエア試験の様子

7にダイシエア試験における測定方法を示す。この試験では、接合後の試料を装置に固定し、ブレードを一定の高さに固定したまま、一定速度で移動させながら加圧することにより破断させ、その破断に必要な剪断力を計測する。ブレード走査速度は10 $\mu\text{m}/\text{s}$ 、走査高さはバンプの厚さを考慮して20 μm に設定した。なお、今回使用したチップサイズ（300 $\mu\text{m} \times 300 \mu\text{m} \times$ 厚さ 100 μm ）における接合強度の不良判定基準値は、MIL-STD-883F method 2019（ $\times 2$ ）において112 gfである。

低真空アルゴン高周波プラズマを180 s照射して接合荷重450 gf、接合温度150 $^{\circ}\text{C}$ 、接触時間30 sで接合を行った場合の接合強度は、215 gfであった。また、接合荷重720 gfの場合には、323 gfであった。一方、プラズマを照射せず、接合荷重680 gfで接合を行った場合の接合強度は38 gf以下であった。このことから、プラズマの照射によって接合強度が大幅に改善されたことがわかる。また

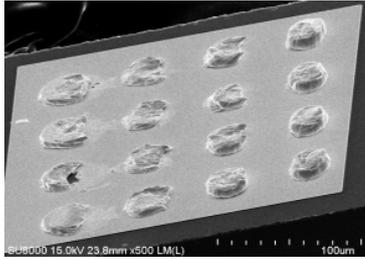


図8 ダイシエア試験後の破断面のSEM写真

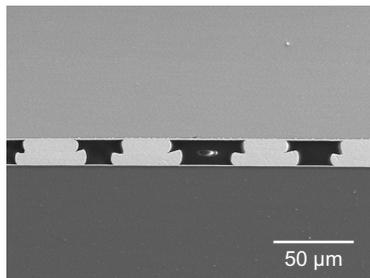


図9 接合したLDチップの断面SEM写真

接合荷重を大きくするほど接合強度も大きくなり、MIL-STD-883F 基準値を十分に超えている。ダイシエア試験後のチップの破断面 SEM 写真の一例を図 8 に示す。Au スタッドバンプがチップ側に移着しており、非常に強固な Au-Au 接合が得られていることがわかる。

LDチップを用いて接合を行った。図9は、接合後のLDの断面SEM写真である。接合後のAuバンプ-LDチップAu薄膜電極間には目立ったボイドもなく接合できている。接合前後のLDの光出力-電流-電圧(L-I-V)特性をパルス駆動(パルス幅: $5 \mu\text{s}$, デューティ比: 25%)により測定した(温度: 25°C)。接合荷重は、680 gfである。図10に示すように、接合後もLDの発光が確認され、接合前後でLDのL-I-V特性に大きな変化は見られなかった。

Au スタッドバンプを用いて、キャビティ立体構造(深さ: $350 \mu\text{m}$)を有するSiオプティカルベンチへLDを低温接合(150°C)することにも成功した。光マイクロセンサ作製へ応用可能であることを示した。

5. 結論

平滑な表面を有するAuスタッドバンプを作製し、Ar高周波プラズマによる表面活性化を利用し、LD素子の低温接合を実現した(150°C 、大気中)。また、接合前後でInP系LD素子の特性に大きな劣化は見られず、本手法の有効性を確認した。スタッドバンプは、立体構造内にも容易に形成することができるため、光マイクロシステムへの応用が期待される。

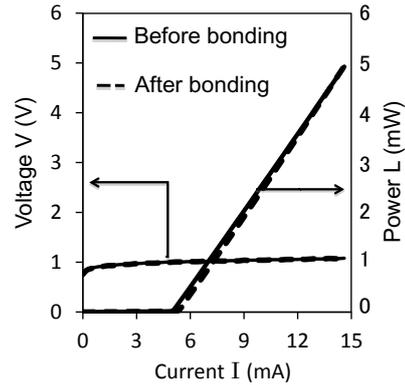


図10 接合前後の光出力-電流-電圧特性

謝辞

本研究は、公益財団法人天田財団の一般研究開発助成により行った成果であり、深く感謝いたします。

参考文献

- 1) E. Higurashi, R. Sawada, and T. Ito, *J. Lightwave Tech.*, 21 (2003) 591-595.
- 2) E. Higurashi and R. Sawada, *J. Micromech. Microeng.*, 15 (2005) 1459-1465.
- 3) K.-M. Chu, J.-S. Lee, H. Oppermann, G. Engelmann, J. Wolf, H. Reichl, D. Y. Jeon, *Proc. 39th International Symposium on Microelectronics*, (2006) 653-660.
- 4) E. Higurashi, T. Imamura, T. Suga, and R. Sawada, *Photon. Tech. Lett.*, 19 (2007) 1994-1996.
- 5) R. Takigawa, E. Higurashi, T. Suga, and R. Sawada, *Applied Physics Express*, 1 (2008) 112201.
- 6) R. Takigawa, E. Higurashi, T. Suga, and T. Kawanishi, *IEEE Journal of Selected Topics in Quantum Electronics*, 17 (2011) 652-658.
- 7) R. Takigawa, E. Higurashi, T. Suga, and T. Kawanishi, *Optics Express*, 19 (2011) 15739-15749.
- 8) E. Higurashi, T. Fukunaga, and T. Suga, *IEEE Journal of Quantum Electronics*, 48, (2012) 182-186.
- 9) E. Higurashi, D. Chino, T. Suga, and R. Sawada, *IEEE Journal of Selected Topics in Quantum Electronics*, 15, (2009) 1500-1505.
- 10) S. Zankovych, I. Maximov, I. Shorubalko, J. Seekamp, M. Beck, S. Romanov, D. Reuter, P. Schafmeister, A. D. Wieck, J. Ahopelto, C. M. Sotomayor Torres and L. Montelius, *Microelectronic Engineering*, 67 (2003) 214-220.